

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-118445

(43)Date of publication of application : 28.04.1994

(51)Int.Cl. G02F 1/136
G02F 1/13
H01L 27/12
H01L 29/784

(21)Application number : 04-271621

(71)Applicant : FUJITSU LTD

(22)Date of filing : 09.10.1992

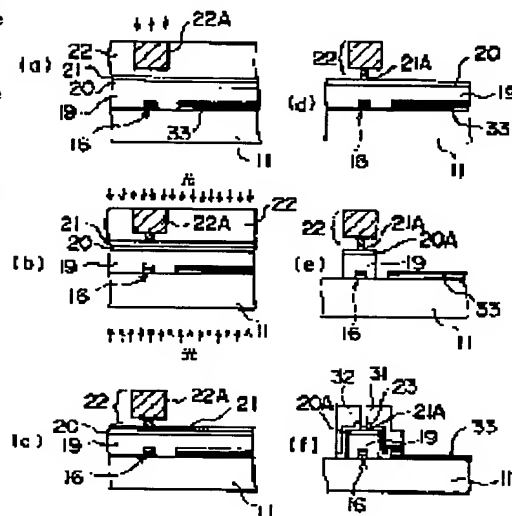
(72)Inventor : KAWAI SATORU
KATO SHINYA
INOUE ATSUSHI

(54) PRODUCTION OF LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To reduce the thickness of the operating semiconductor layer of TFTs, to simplify the process for forming a mask for patterning and to improve productivity in the liquid crystal display device having the TFTs for driving liquid crystals.

CONSTITUTION: This process for production includes a stage for using a positive type image reversal resist 22 at the image of patterning a gate insulating film 19, the operating semiconductor layer 20 and a channel protective film 21A on gate electrodes 16, then irradiating the upper layer of this resist 22 existing in transistor forming regions including the gate electrodes 16 with light to make reversal baking and to convert the irradiated parts to undevelopable part 22A changed in properties which can not be developed, then putting the image reversal resist 22 exclusive of the resist between the parts 22A changed in properties and the gate electrodes 16 into a photoirradiated state by irradiation with light from above and below the transparent substrate 11, a stage for patterning the image reversal resist 22 to a T shape in section by development and a stage for isotropically etching the channel protective film 21A and anisotropically etching the operating semiconductor layer 20 and the gate insulating film 19 by using these patterns as a mask.



LEGAL STATUS

[Date of request for examination] 11.12.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3071964

[Date of registration] 26.05.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/13	1 0 1	9315-2K		
H 0 1 L 27/12	A			
29/784				
		9056-4M	H 0 1 L 29/ 78	3 1 1 A
			審査請求 未請求 請求項の数 3 (全 10 頁)	

(21)出願番号 特願平4-271621

(22)出願日 平成 4年(1992)10月 9日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 川井 悟

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 加藤 真也

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 井上 淳

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 岡本 啓三

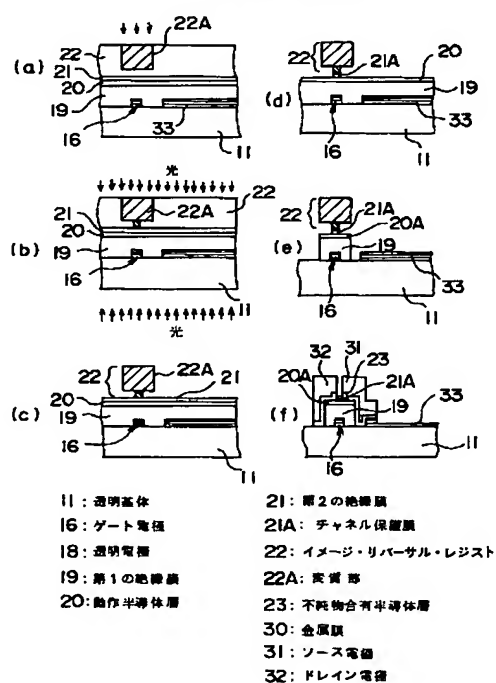
(54)【発明の名称】 液晶表示装置の製造方法

(57)【要約】

【目的】液晶駆動用 T F Tのある液晶表示装置に関し、T F Tの動作半導体層を薄くし、パターニング用マスクの作成工程の簡略化を図り、生産性を向上する。

【構成】ゲート電極16の上に積層したゲート絶縁膜19と動作半導体層20とチャネル保護膜21Aをパターニングする際にポジ型イメージ・リバーサル・レジスト22を使用し、ゲート電極16を含むトランジスタ形成領域にあるそのレジスト22の上層に光を照射し、リバーサルベークして該部分を現像不能な変質部22Aとした後、透明基板11の上と下から光を照射し、変質部22Aとゲート電極16との間を除くイメージ・リバーサル・レジスト22を光照射状態にする工程と、現像により前記イメージ・リバーサル・レジスト22を断面T字型のパターンにする工程と、そのパターンをマスクに用いてチャネル保護膜21Aを等方性エッチングし、動作半導体層20とゲート絶縁膜19を異方性エッチングするパターニング工程を含む。

本発明の原理図



【特許請求の範囲】

【請求項1】透明基板(11)の上に遮光層を有するゲート電極(16)を形成する工程と、

それぞれ光透過性のある第一の絶縁膜(19)、動作半導体層(20)及び第二の絶縁膜(21)を、ゲート電極(16)側の前記透明基板(11)の上に順に積層する工程と、

前記第二の絶縁膜(21)の上にポジ型のイメージ・リバーサル・レジスト(22)を塗布する工程と、

露光用マスクを使用して、前記ゲート電極(16)とその両側に広がるトランジスタ形成領域にある前記イメージ・リバーサル・レジスト(22)の上層に光を選択的に照射し、リバーサル・ベークし、この光照射部分を現像に不溶なりバーサル変質部(22A)とする工程と、

前記透明基板(11)の上と下から光を照射し、前記リバーサル変質部(22A)と前記ゲート電極(16)とに挟まれる部分以外のイメージ・リバーサル・レジスト(22)を光照射状態にする工程と、

現像することによって、前記リバーサル変質部(22A)と前記ゲート電極(16)とに挟まれる部分と前記リバーサル変質部(22A)を除く前記イメージ・リバーサル・レジスト(22)を熔解して断面T字状のパターンを形成する工程と、

パターンニングされた前記イメージ・リバーサル・レジスト(22)をマスクにして前記第二の絶縁膜(21)を等方性エッチングし、前記ゲート電極(16)に沿って残存した前記第二の絶縁膜(21)をチャネル保護膜(21A)となす工程と、

前記イメージ・リバーサル・レジスト(22)をマスクに使用し、前記第一の絶縁膜(19)及び前記動作半導体層(20)を垂直方向に異方性エッチングして前記トランジスタ形成領域に残存させる工程と、

前記イメージ・リバーサル・レジスト(22)を除去した後に、不純物含有半導体層(23)と金属膜(30)を積層する工程と、

前記不純物含有半導体層(23)と前記金属膜(30)をパターンニングして、前記チャネル保護膜(21A)上で分離されるソース電極(31)とドレイン電極(32)を形成する工程とを有することを特徴とする液晶表示装置の製造方法。

【請求項2】前記ゲート電極(16)の側方に間隔をおいて透明電極(33)が形成され、該透明電極(33)が前記ソース電極(31)の一端と導通することを特徴とする請求項1記載の液晶表示装置の製造方法。

【請求項3】前記動作半導体層(20)は、非晶質シリコンからなり、前記ゲート電極(16)の前記遮光層は、アルミニウムとモリブデンの積層構造又はアルミニウム合金とモリブデンの積層構造からなることを特徴とする請求項1、2記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置の製造方法に関し、更に詳しく言えば、液晶駆動用の薄型トランジスタマトリクスを有する液晶表示装置の製造方法に関する。

【0002】このような薄型トランジスタマトリクスの製造においては、製造工程を簡略化し、製造コストを低下させることが要求されている。

【0003】

【従来の技術】従来は、このような液晶駆動用の薄型トランジスタマトリクスの製造は、通常7～8枚のフォトマスク工程を通して行われていたが、工程の簡略化の必要から図8～10に示すような製造方法が提案されている。

【0004】なお、図8は製造工程を示す平面図であり、図9は、その工程のX-X線断面図、図10は、Y-Y線断面図である。この方法によれば、まずガラス基板1上に透明電膜であるITO(Indium TinOxide)膜2及びCr膜3を順次スパッタリング法によって30nm、200nmずつ形成する(図8(a)、図9(a)、図10(a))。

【0005】次に、レジストR₁を塗布し、1枚目のフォトマスクを用いて露光した後に、そのレジストR₁を現像し、これによりゲート領域、ゲートバスライン領域、画素領域を覆うパターンを形成する(図8(b)、図9(b)、図10(b))。

【0006】この後に、レジストR₁をマスクとして、Cr膜3及びITO膜2を塩素系のエッチング液によって選択的にエッチング・除去し、ゲート電極4、ゲートバスライン電極5及びのちに画素となる電極6を形成する(図8(c)、図9(c)、図10(c))。

【0007】次に、シラン(SiH₄)をベースガスとするプラズマ化学気相成長法(以下P-CVD法と称する)により、シリコン窒化(SiN)膜7と動作アモルファスシリコン膜(以下動作a-Si膜と称する)8を300nm、200nmずつ順次形成し、続いて、フィスフォン(PH₃)とシラン(SiH₄)の混合ガスを用いたP-CVD法によって、n⁺アモルファスシリコン膜(以下n⁺型a-Si膜と称する)9を50nmの厚さに形成する(図8(d)、図9(d)、図10(d))。

【0008】動作a-Si膜8とn⁺型a-Si膜9の膜厚は、後の工程でn⁺型a-Si膜9をパターンニングする際に動作a-Si膜8が同時にパターンニングされないように設定する。この後、それらの膜の上部にレジストR₂を塗布し、2枚目のフォトマスクを用いてレジストR₂をパターンニングする(図8(e)、図9(e)、図10(e))。このパターンは、ゲート電極4とゲートバスライン電極5を覆うような形状にする。

【0009】次に、そのレジストR₂をマスクにして、フレオン(CF₄)ガスを用いたn⁺型a-Si膜9、動作a-S

i膜8及びシリコン窒化膜7を異方性プラズマエッチング法により連続してエッチングしてパターンニングした後に、レジストR₂を剥離する(図8(f),図9(f),図10(f))。なお、ゲート電極4の上のシリコン窒化膜7は、ゲート絶縁膜となる。

【0010】この後に、Al層11をスパッタリング法によって300nm形成してから、その上にレジストR₃を塗布する。さらに、そのレジストR₃を3枚目のフォトマスクを用いて露光し、ついで現像し、これによりドレイン領域、ドレインバスライン領域と、画素電極に延在するソース領域を覆うパターンを形成する(図8(g),図9(g),図10(g))。

【0011】次に、そのレジストR₃をマスクとして燐酸系のエッチング液によってAl層11をエッチングしてソース電極(S)13、ドレイン電極(D)14及びドレインバスライン(DB)15を形成する。ついで、塩素系のエッチング液によって画素電極6の上で露出しているCr膜3をエッチング・除去し、ITO膜2を露出させ、画素電極6を透明にする。

【0012】これに続いて、フレオン(CF₄)によるプラズマエッチングを行い、n⁺型a-Si膜9をパターンニングしてソース電極13、ドレイン電極14及びドレインバスライン15の下だけに残存させ、動作a-Si膜8とのコンタクト層として使用する。そのエッチングは動作a-Si膜8に多少のエッチングが進んだ時点で停止させる(図8(h),図9(h),図10(h))。この場合、ゲート電極4の上でソース電極13とドレイン電極14が電氣的に分離されることになる。

【0013】以上の工程により、動作a-Si膜8のチャネル領域が露出している薄膜トランジスタ(以下TF Tと称する)が形成され、このようなTF Tの構造をチャネル・エッチング型TF Tと呼ぶ。

【0014】このようなTF Tはマトリクス状に多数配置され、液晶駆動などに用いられている。なお、以上の製造方法では、3回のフォトレジスト塗布とパターンニングを行っている。

【0015】

【発明が解決しようとする課題】しかし、上記のチャネル・エッチング型TF Tでは、動作a-Si膜8の表面が直接外界に曝され、動作の不安定性が発生する。よって、動作a-Si膜8の上部に図9(h)に示すようなSiNなどのチャネル保護膜10を形成する必要がある、これをパターンニングするための4回目のレジスト塗布とこのパターンニングが必要になり、工程の簡略化が図れない。

【0016】更に、n⁺型a-Si膜9をパターンニングする際の動作a-Si膜8のパターンニング防止のために、動作a-Si膜8を厚くする必要があり、これよれば成膜に多くの時間を要し、生産性が低下するという欠点がある。

【0017】このような問題を解決するために、図11に示すように、動作a-Si膜8の中央の上に絶縁性のチャ

ネル保護膜Mを形成し、その後に、n⁺型a-Si膜9、Al膜11を形成し、これらをパターンニングしてソース電極とドレイン電極を形成することが提案されている。この場合、チャネル保護膜Mはエッチングストップとして機能し、また、ソース電極13とドレイン電極14はそのチャネル保護膜Mの上で分離される。このTF Tは、エッチングストップ型と呼ばれている。

【0018】しかし、この構造のTF Tを実現するためには、動作a-Si膜8に接触するソース/ドレイン電極13、14をゲート電極4の一部と重なりを持たせる必要がある、このためには、チャネル保護膜Mをゲート長よりも狭くするパターンニングが必要となり、工程を簡略化することにならない。

【0019】本発明はかかる従来例の問題点に鑑み創作されたものであり、TF Tの動作半導体層の厚さを減らし、パターンニング用マスクの作成工程の簡略化を図って、生産性を向上することができ液晶表示装置の製造方法の提供を目的とする。

【0020】

【課題を解決するための手段】上記した課題は、図1の原理図に示すように、透明基板11の上に遮光層を有するゲート電極16を形成する工程と、それぞれ光透過性のある第一の絶縁膜19、動作半導体層20及び第二の絶縁膜21を、ゲート電極16側の前記透明基板11の上に順に積層する工程と、前記第二の絶縁膜21の上にポジ型のイメージ・リバーサル・レジスト22を塗布する工程と、露光用マスクを用いて、前記ゲート電極16とその両側に広がるトランジスタ形成領域にある前記イメージ・リバーサル・レジスト22の上層に光を選択的に照射し、リバーサル・ベークし、この光照射部分を現像に不溶なりバーサル変質部22Aとする工程と、前記透明基板11の上と下から光を照射し、前記リバーサル変質部22Aと前記ゲート電極16とに挟まれる部分以外のイメージ・リバーサル・レジスト22を光照射状態にする工程と、現像することによって、前記リバーサル変質部22Aと前記ゲート電極16とに挟まれる部分と前記リバーサル変質部22Aを除く前記イメージ・リバーサル・レジスト22を熔解して断面T字状のパターンを形成する工程と、パターンニングされた前記イメージ・リバーサル・レジスト22をマスクにして前記第二の絶縁膜21を等方性エッチングし、前記ゲート電極16に沿って残存した前記第二の絶縁膜21をチャネル保護膜21Aとなす工程と、前記イメージ・リバーサル・レジスト22をマスクに使用し、前記第一の絶縁膜19及び前記動作半導体層20を垂直方向に異方性エッチングして前記トランジスタ形成領域に残存させる工程と、前記イメージ・リバーサル・レジスト22を除去した後に、不純物含有半導体層23と金属膜30を積層する工程と、前記不純物含有半導体層23と前記金属膜30をパターンニングして、前記チャネル保護膜21A上で分離されるソース電極31とドレイン電極32を形成する工程とを有することを特徴とす

る液晶表示装置の製造方法により達成する。

【0021】または、前記ゲート電極16の側方に間隔をおいて透明電極33が形成され、該透明電極33が前記ソース電極31の一端と導通することを特徴とする液晶表示装置の製造方法により達成する。

【0022】または、前記動作半導体層20は、非晶質シリコンからなり、前記ゲート電極16の前記遮光層は、アルミニウムとモリブデンの積層構造又はアルミニウム合金とモリブデンの積層構造からなることを特徴とする液晶表示装置の製造方法により達成する。

【0023】

【作 用】本発明によれば、不透明なゲート電極16を覆う透明な第一の絶縁膜19、動作半導体層20及び第二の絶縁膜21をパターンニングする際に、イメージ・リバーサル・レジスト22を塗布し、ついで、露光用マスクを用いて露光してからリバーサルベークを行うことによりトランジスタ形成領域にあるイメージ・リバーサル・レジスト22の上層部を現像不可能な変質部22Aとし、ついで、透明基板11の上と下から光を照射して、ゲート電極16と変質部22Aに挟まれる部分以外のイメージ・リバーサル・レジスト22を光照射状態にする。次に、イメージ・リバーサル・レジスト20を現像してトランジスタ形成領域の上に断面略T字状のパターンを形成するようにしている。

【0024】そして、このレジストパターンをマスクにして、等方性エッチングにより第二の絶縁膜21をパターンニングしてチャネル保護膜22Aを形成し、ついで、異方性エッチングにより第一の絶縁膜19及び動作半導体層20を連続してパターンニングしている。

【0025】従って、2つのパターン形成のために1回のレジスト塗布と、1回の現像で足りる。しかも、チャネル保護膜22Aを形成する際には自己整合的に露光が行われ、位置合わせ精度が良くなる。

【0026】また、本発明によれば、エッチングストップ層となるチャネル保護膜21Aを設けているので、オーバーエッチングを防止するために動作半導体膜20を厚くする必要がなく、成膜時間が短縮され、スループットが向上する。

【0027】

【実施例】そこで、以下に本発明の実施例を図面に基づいて説明する。図2、3は、本発明の一実施例の製造工程を示す平面図、図4、5は、そのA-A線断面図、図6、7は、B-B線断面図である。

【0028】まず、図2(a)、図4(a)、図6(a)に示すように、ガラス基板11の上に膜厚30nmのITO膜12、膜厚100nmのAl膜13及び膜厚70nmのMo膜14を順次スパッタリング法によって形成する。

【0029】次に、フォトリソスト15を全面に塗布し、露光、現像することで画素領域、ゲート領域及びゲートバスライン領域を覆うパターンを形成する(図2

(b)、図4(b)、図6(b))。

【0030】次いで、フォトリソスト15から露出したAl膜13及びMo膜14を燐酸系エッチング液でエッチング・除去し、続いて、ITO膜12を塩素系エッチング液でエッチング・除去することでゲート電極16、ゲートバスライン17及び画素電極18を形成し、ついで、フォトリソスト15を剥離する(図2(c)、図4(c)、図6(c))。

【0031】この後に、シラン(SiH_4)をベースガスとするP-CVD法によって、膜厚300nmのシリコン窒化膜以下SiN膜と称する)19、膜厚20nmのアモルファスシリコン膜以下a-Si膜と称する)20を順次形成し、ついで、アンモニア(NH_3)とシラン(SiH_4)との混合ガスを用いたP-CVD法によって、膜厚300nmのSiN膜21を形成する(図2(d)、図4(d)、図6(d))。この場合、トランジスタ領域において、SiN膜19はゲート絶縁膜となり、a-Si膜20は動作半導体層となる。

【0032】ついで、ポジ型のイメージ・リバーサル・レジスト22をスピンコート法により膜厚2.0 μm の厚さに塗布する(図2(e)、図4(e)、図6(e))。このレジストとして、例えばヘキスト(株)のAZ5200Eがある。

【0033】次に、ガラス基板1の上方露光マスクPM₁を配置し、紫外線を用いる通常のステッパ露光を行う(図2(f)、図4(f)、図6(f))。この場合の紫外線の照射部分は、ゲート電極16とその両側方に広がるトランジスタ領域と、このトランジスタ領域から間隔をおいて形成されたゲートバスライン17及びその周辺領域とに位置するイメージ・リバーサル・レジスト22である。また、その照射する深さは、イメージ・リバーサル・レジスト22の上層部1.0 μm であり、深さの調整は、紫外線強度を調整したり、露光時間を調整することにより容易に行える。

【0034】続いて、120℃のリバーサルベークを行い、アルカリ性の現像液に不溶なりバーサル変質部22A、22Bを形成する。この場合、紫外線が照射されなかった部分はポジレジストの性質を保持している。

【0035】次いで、ガラス基板11の上部からは、前工程で用いた露光マスクPM₁のネガパターンの露光マスクPM₂に使用して紫外線を照射し、またと下部からはガラス基板11全面に紫外線を照射してフラッド露光を行う(図2(g)、図4(g)、図5(g))。

【0036】このとき、Al膜13、Mo膜14を有するゲート電極16及びゲートバスライン17が露光マスクとして機能し、これらとリバーサル変質部22A、22Bに挟まれた部分のイメージ・リバーサル・レジスト22は、光が照射されない部分となる。

【0037】なお、画素電極18の上のAl膜13、Mo膜14は遮光膜であって、下からの光を通さないが、上方の光に照射されるので、画素電極18の上のイメージ・

リバーサル・レジスト22は光照射部分となる。また、ゲート電極16はマスクになるので、その上の部分は未露光状態となる。

【0038】ここで、イメージ・リバーサル・レジスト22はポジ型であるので、露光領域はアルカリ性の現像液に溶解するが、上記したように、リバーサル変質部22A、22B及びその下部の細い未露光領域はアルカリ性の現像液に不溶になっており、それらの断面形状はT字状となる(図4(g)、図6(g))。

【0039】そこで次に、アルカリ性の現像液を用いてイメージ・リバーサル・レジスト22を現像すると、変質領域層22A、22B及びその下部の未露光領域が残存する。そのパターン下部は、ゲート電極16やゲートバスライン17に対応し、その上部はゲート電極16及びゲートバスライン17を上下及び側方から覆う大きさのパターンとなる(図3(a)、図5(a)、図7(a))。

【0040】次いで、そのイメージ・リバーサル・レジスト22をマスクにして緩衝弗酸によりSiN膜21を等方性エッチングによりパターニングし、ゲート電極16の上の窒化膜21をチャンネル保護膜21Aとして使用する(図3(b)、図5(b)、図7(b))。このチャンネル保護膜21Aについては、オーバーエッチングによりゲート電極16よりも僅かに細い形状にする。

【0041】続いて、同じイメージ・リバーサル・レジスト22をマスクにし、フレオン(CF₄)ガスを用いて異方性のプラズマエッチングを行い、これにより動作a-Si膜20及びSiN膜19を、ガラス基板11に対してほぼ垂直にエッチングしてパターニングする(図3(c)、図5(c)、図7(c))。この場合、ゲート電極16を覆う動作a-Si膜20は動作半導体層となり、その下のSiN膜19はゲート絶縁膜として機能する。その他の領域では、それらは層間絶縁膜となる。

【0042】以上のように、1つのイメージ・リバーサル・レジスト22をマスクにして、大きさの違うチャンネル保護膜21Aと動作半導体層のパターニングを連続して行えるので、それらのパターニングのためのフォトリソ塗布や現像が1回で済み、しかもチャンネル保護膜21Aを形成する際の位置合わせ精度が良くなる。

【0043】その後、イメージ・リバーサル・レジスト22を有機溶剤で剥離してから、フォスフィン(PH₃)とシラン(SiH₄)との混合ガスを用いたP-CVD法により、全面に膜厚50nmのn⁺アモルファスシリコン膜(以下n⁺型a-Si膜と称する)23を形成する。続いて、スパッタリング法によって膜厚50nmのTi膜24と膜厚300nmのAl膜25を順次形成する(図3(d)、図5(d)、図7(d))。

【0044】この後に、全面にフォトリソレジスト26を塗布し、これを露光、現像することによりソース/ドレイン領域及びドレインバスライン形成領域を覆うパターンを形成する(図3(e)、図5(e)、図7(e))。

【0045】次に、フォトリソレジスト26をマスクにして、Al膜25を磷酸系のエッチング液でエッチングし、ついで、塩素系のガスを用いてTi膜24とn⁺型a-Si膜23を異方性プラズマエッチングしてソース電極31及びドレイン電極32を形成するとともに、ドレイン電極32に繋がるドレインバスライン33を形成する(図3(f)、図5(f)、図7(f))。

【0046】この場合、エッチングストップ層となるチャンネル保護膜21Aを設けているので、動作a-Si膜8をオーバーエッチングすることではなく、その膜厚を厚くする必要がなくなり、成膜時間が少なくて済む。

【0047】以上により、チャンネル保護膜を具備するエッチング・ストップ型のTFTが完成する。この後に、画素電極18の上層部に残存するMo膜14とAl膜13を磷酸系のエッチング液で除去し、ITO膜12のみを残存させることにより、画素電極18を透明化する。

【0048】上記したTFT及び画素電極はマトリクス状に配置され、また、ゲートバスラインとドレインバスラインは交差する方向に配置されて液晶駆動などに用いられる。

【0049】

【発明の効果】以上述べたように本発明によれば、不透明なゲート電極を覆う透明な第一の絶縁膜、動作半導体層及び第二の絶縁膜をパターニングする際に、イメージ・リバーサル・レジストを塗布し、ついで、露光用マスクを用いて露光してからリバーサルバークを行うことによりトランジスタ形成領域にあるイメージ・リバーサル・レジストの上層部を現像不可能な変質部とし、ついで透明基板の上と下から光を照射して、ゲート電極と変質部に挟まれる部分以外のイメージ・リバーサル・レジストを光照射状態にする。次に、イメージ・リバーサル・レジストを現像してトランジスタ形成領域の上に断面略T字状のパターンを形成するようにしている。そして、このレジストパターンをマスクにして、等方性エッチングにより第二の絶縁膜をパターニングしてチャンネル保護膜を形成し、つづいて、異方性エッチングにより第一の絶縁膜及び動作半導体層を連続してパターニングしている。

【0050】従って、2つのパターン形成のために1回のレジスト塗布と、1回の現像で足り、工程の簡略化を図ることができる。しかも、チャンネル保護膜を形成する際には自己整合的に露光を行うので、位置合わせ精度を良くすることができる。

【0051】また、本発明によれば、エッチングストップ層となるチャンネル保護膜を設けているので、オーバーエッチングを防止するために動作半導体膜を厚くする必要がなく、成膜時間を短縮し、スループットを向上することができる。

【図面の簡単な説明】

【図1】本発明の原理図である。

【図2】本発明の一実施例に係る装置の製造工程を示す平面図（その1）である。

【図3】本発明の一実施例に係る装置の製造工程を示す平面図（その2）である。

【図4】本発明の一実施例に係る装置の製造工程を示す正断面図（その1）である。

【図5】本発明の一実施例に係る装置の製造工程を示す正断面図（その2）である。

【図6】本発明の一実施例に係る装置の製造工程を示す側断面図（その1）である。

【図7】本発明の一実施例に係る装置の製造工程を示す側断面図（その2）である。

【図8】従来例に係る装置の製造工程を示す平面図である。

【図9】従来例に係る装置の製造工程を示す正断面図である。

【図10】従来例に係る装置の製造工程を示す側断面図である。

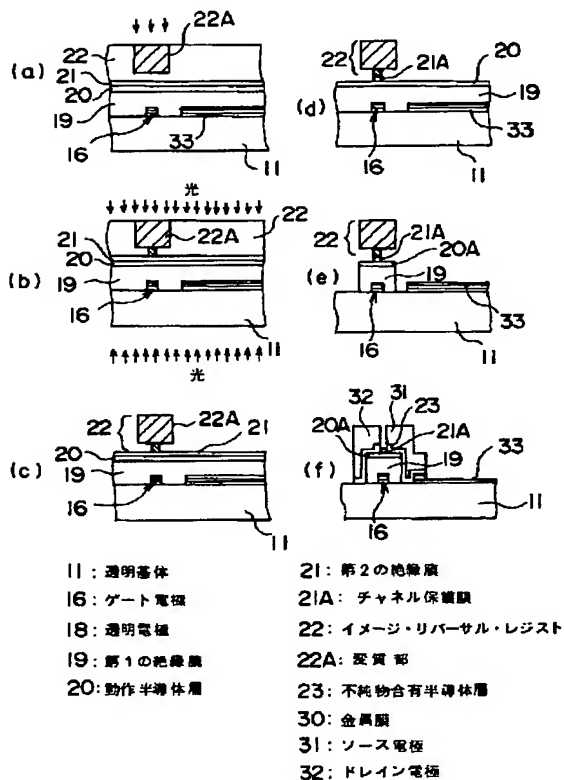
【図11】チャンネル・エッチング型TFTの構造を示す断面図である。

【符号の説明】

- | | |
|---------|-----------------------|
| 11 | ガラス基板 |
| 12 | ITO膜 |
| 13 | Al膜 |
| 14 | Mo膜 |
| 15 | フォトリソスト |
| 16 | ゲート電極 |
| 17 | ゲートバスライン |
| 18 | 画素電極 |
| 19 | SiN膜 |
| 20 | a-Si膜 |
| 21 | SiN膜 |
| 21A | チャンネル保護膜 |
| 22 | イメージ・リバーサル・レジスト |
| 22A、22B | 変質部 |
| 23 | n ⁺ 型a-Si膜 |
| 24 | Ti膜 |
| 25 | Al膜 |
| 26 | フォトリソスト |
| 31 | ソース電極 |
| 32 | ドレイン電極 |
| 33 | ドレインバスライン |

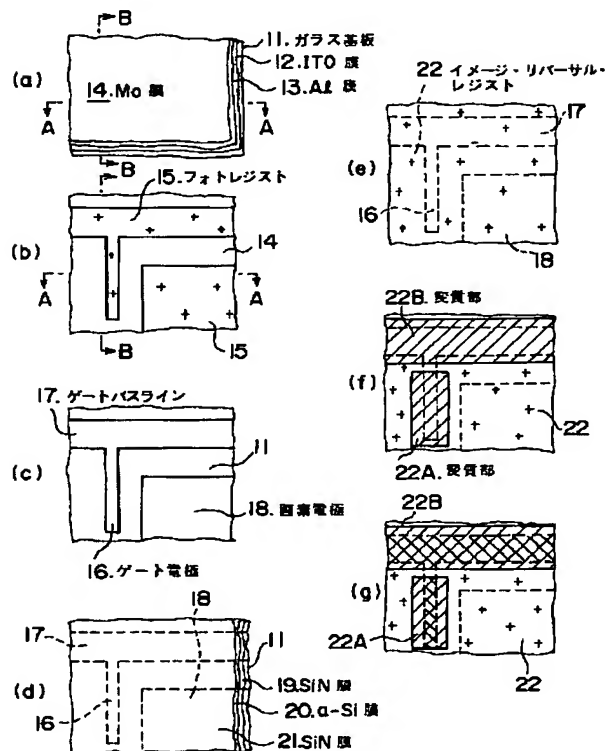
【図1】

本発明の原理図



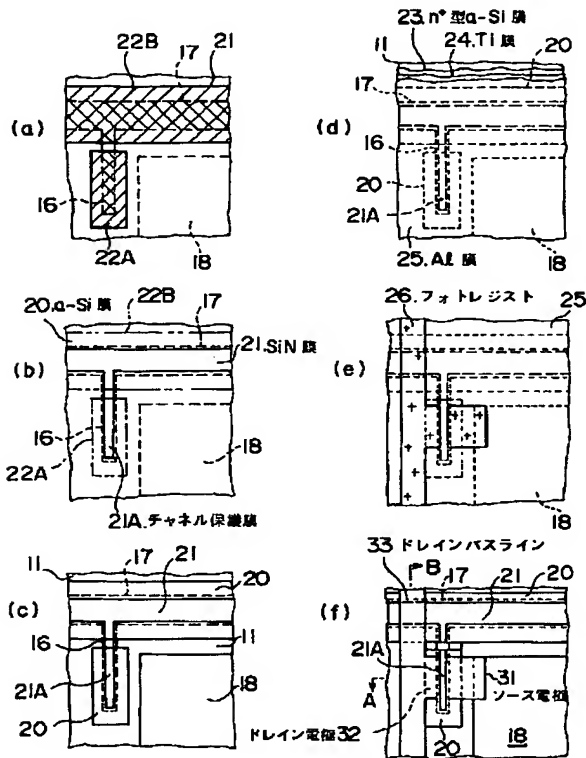
【図2】

本発明の一実施例に係る装置の製造工程を示す平面図（その1）



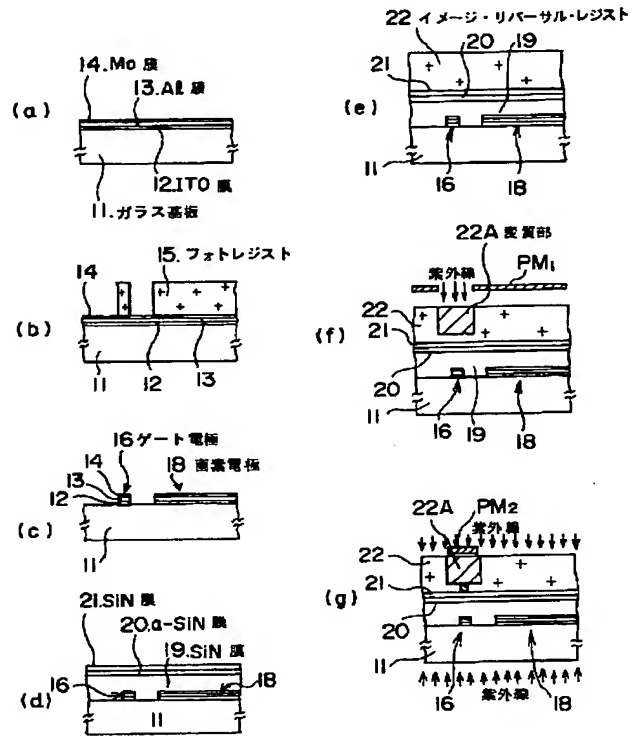
【図3】

本発明の一実施例に係る装置の製造工程を示す平面図(その2)



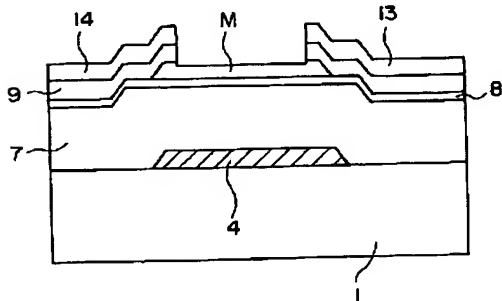
【図4】

本発明の一実施例に係る装置の製造工程を示す正断面図(その1)



【図11】

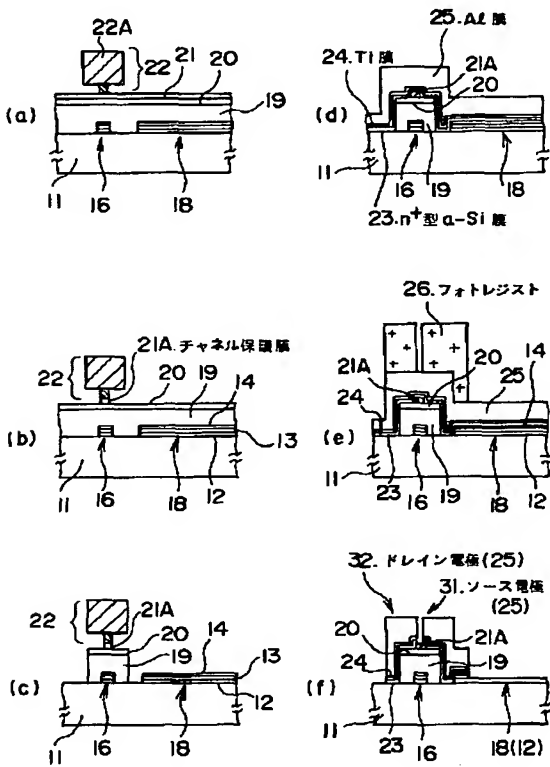
チャンネル・エッチング型TFTの構造を示す断面図



- | | |
|------------------------|-------------|
| 1: ガラス基板 | 13: ソース電極 |
| 4: ゲート電極 | 14: ドレイン電極 |
| 7: ゲート絶縁膜 | M: チャンネル保護膜 |
| 8: 動作 α -Si膜 | |
| 9: n^+ α -Si膜 | |

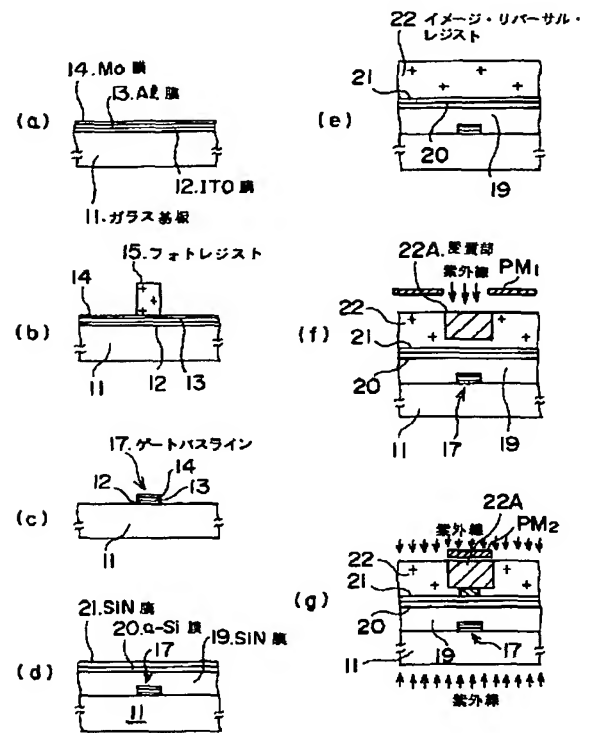
【図5】

本発明の一実施例に係る装置の製造工程を示す正断面図（その2）



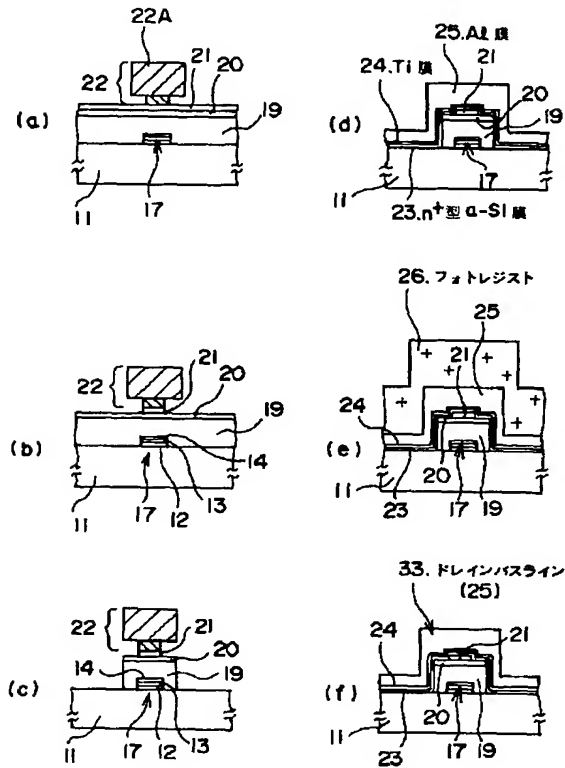
【図6】

本発明の一実施例に係る装置の製造工程を示す側断面図（その1）



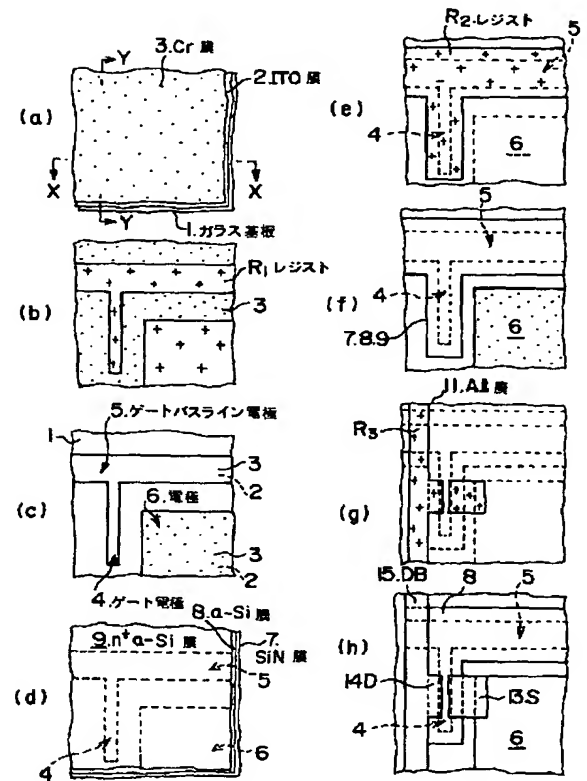
【図7】

本発明の一実施例に係る装置の製造工程を示す断面図(その2)



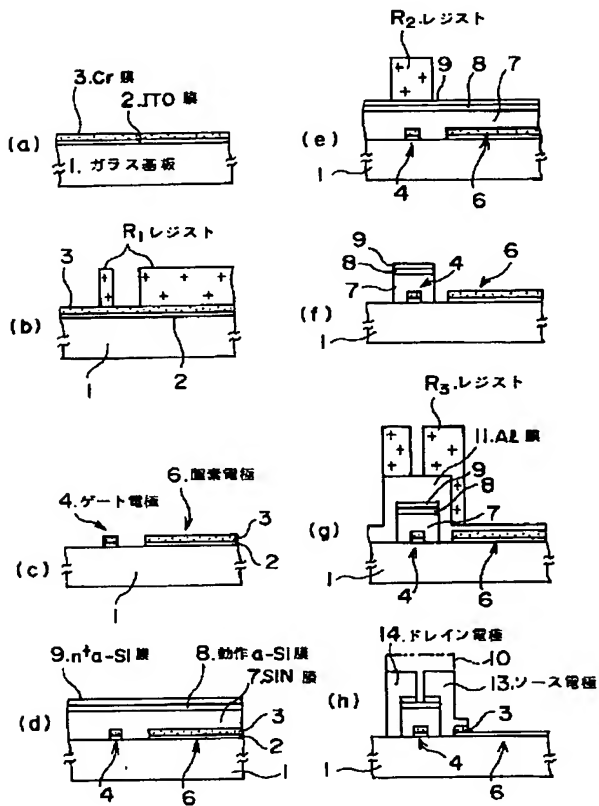
【図8】

従来例に係る装置の製造工程を示す平面図



【図9】

従来例に係る装置の製造工程を示す正断面図



【図10】

従来例に係る装置の製造工程を示す側断面図

